

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-262263

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H02M 3/335

(21)Application number : 10-074930 (71)Applicant : SHINDENGEN ELECTRIC
MFG CO LTD

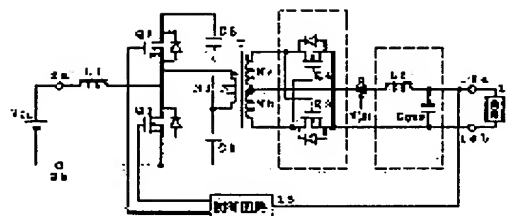
(22)Date of filing : 09.03.1998 (72)Inventor : WATANABE HARUO
HATAKEYAMA HARUHIKO

(54) SWITCHING POWER SUPPLY EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To use a rectifier having a small power loss and low withstand voltage by controlling the output voltage of an output terminal constant by changing the ratio of the on-state duration and the off-state duration of a first switching element.

SOLUTION: A first and a second switching element Q1, Q2 respectively of this circuit are controlled so that while one element is in an on-state, the other is in an off-state, except for short periods of time. By changing the ratio of the on-state duration of one switching element to the operating cycle, the output voltage is controlled to be constant. Therefore, the drain-source voltage of a synchronous rectifier MOSFET Q3, (Q4) always appears in either of the two switching elements Q1, Q2 except for short periods of time, thereby driving the circuit at all times. Furthermore, since a voltage waveform applied to Q3 and Q4 is rectangular, the voltage will not rise abnormally high and therefore synchronous rectifier MOSFETs of low break down voltage and a small on-state resistance can be used.



LEGAL STATUS

[Date of request for examination] 13.07.2000

[Date of sending the examiner's decision of rejection] 18.03.2003

[Kind of final disposal of application other than the examiner's decision of

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-262263

(43)公開日 平成11年(1999) 9月24日

(51)Int.Cl.⁶

H 0 2 M 3/335

識別記号

F I

H 0 2 M 3/335

F

E

審査請求 未請求 請求項の数11 F D (全 10 頁)

(21)出願番号 特願平10-74930

(22)出願日 平成10年(1998) 3月9日

(71)出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72)発明者 渡辺 晴夫

埼玉県飯能市南町10番13号新電元工業株式
会社工場内

(72)発明者 畠山 治彦

埼玉県飯能市南町10番13号新電元工業株式
会社工場内

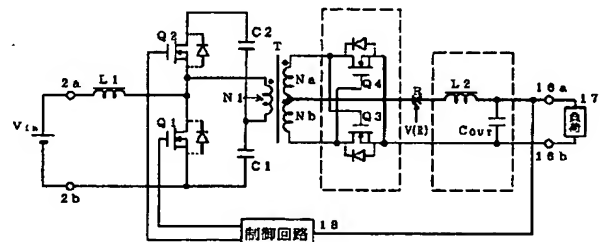
(74)代理人 弁理士 石島 茂男 (外1名)

(54)【発明の名称】 スイッチング電源装置

(57)【要約】

【課題】スイッチング電源のトランスの二次側の整流回路に、低耐圧の整流素子を用いることを可能にし、とくに同期整流MOS・FETを用いた場合、これをスイッチング期間全体で導通させ、高効率なスイッチング電源を実現させる回路を提供する。

【解決手段】直流電圧を受ける入力端子と、一次巻線および二次巻線を有するトランスと、前記入力端子間に接続される第一のチョークコイルと第一のスイッチ素子との第一の直列回路と、前記第一のスイッチ素子の端子間に接続される前記トランスの一次巻線と第一のコンデンサとの第二の直列回路と、前記トランスの一次巻線の端子間に接続される第二のスイッチ素子と第二のコンデンサの第三の直列回路と、第一と第二の整流MOS-FETで構成され、前記トランスの二次巻線に接続される整流回路と、フィルタ回路と、出力端子と、制御回路を有するスイッチング電源装置。



【特許請求の範囲】

【請求項 1】 直流電圧を受ける入力端子と、少なくとも一次巻線および二次巻線を有するトランスと、前記入力端子間に接続される第一のチョークコイルと第一のスイッチ素子との第一の直列回路と、前記第一のスイッチ素子の端子間に接続される前記トランスの一次巻線と第一のコンデンサとの第二の直列回路と、前記第一のスイッチ素子がオフの期間に、前記第一のチョークコイルの電流の一部を流す経路を構成するための第二のスイッチ素子と第二のコンデンサとの第三の直列回路と、前記トランスの二次巻線に接続される整流回路と、前記整流回路に接続されるフィルタ回路と、前記フィルタ回路に接続され負荷に直流電圧を出力する出力端子と、前記出力端子の出力電圧を検出して、前記第一と第二のスイッチ素子を、一方がオンの時に他方がオフであるように交互にオンさせて、第一のスイッチ素子のオンとオフの期間の比率を変化させることによって、前記出力端子の出力電圧を一定にするように制御する制御回路を有することを特徴とするスイッチング電源装置。

【請求項 2】 制御回路の動作周波数を一定にしたことを特徴とする請求項 1 のスイッチング電源装置。

【請求項 3】 第一のスイッチ素子及び第二のスイッチ素子として MOS・FET を用いたことを特徴とする請求項 1 又は請求項 2 のスイッチング電源装置。

【請求項 4】 トランスの二次巻線が第一の二次巻線部分と第二の二次巻線部分から成ることを特徴とする請求項 1、請求項 2 又は請求項 3 のスイッチング電源装置。

【請求項 5】

(2)

トランスに三次巻線を設けたことを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 のスイッチング電源装置。

【請求項 6】 整流回路をトランスの第一の二次巻線部分と第二の二次巻線部分に夫々接続された同期整流用 MOS・FET で構成し、且つ前記 MOS・FET はトランスの二次巻線の誘起電圧によってそれに対応して交互にオンし、前記トランスの二次巻線の出力を全波整流するように接続されていることを特徴とする請求項 4 又は請求項 5 のスイッチング電源装置。

【請求項 7】 整流回路をトランスの第一の二次巻線部分と第二の二次巻線部分に夫々接続された整流用ダイオードで構成し、且つ第一と第二のスイッチ素子が交互にオンする時に、それに対応して交互にオンし、前記トランスの二次巻線の出力を全波整流するように接続されていることを特徴とする請求項 4 又は請求項 5 のスイッチング電源装置。

【請求項 8】 第三の直列回路をトランスの一次巻線間に接続したことを特徴とする請求項 6 又は請求項 7 のスイッチング電源装置。

【請求項 9】 第三の直列回路を第一のスイッチ素子の端

子間に接続したことを特徴とする請求項 6 又は請求項 7 のスイッチング電源装置。

【請求項 10】 第三の直列回路をトランスの二次巻線間に接続したことを特徴とする請求項 6 又は請求項 7 のスイッチング電源装置。

【請求項 11】 第三の直列回路をトランスの三次巻線間に接続したことを特徴とする請求項 6 又は請求項 7 のスイッチング電源装置。

【発明の詳細な説明】

(3)

【0001】

【発明の属する分野】 本発明はスイッチング電源装置の高効率化に関するものである。

【0002】

【従来技術】 図 10 に第一の従来回路例、図 11 に第二の従来回路例を示す。図 10 は一般的なフォワード方式であり、この回路を用いて高効率なスイッチング電源を構成する場合（特に出力が 5V とか 3.3V というように低電圧で大電流の場合）、トランスの二次巻線側の整流ダイオード（すなわち、図 10 の D101、D102）での電力損失が多いため、これらの代わりに同期整流 MOS・FET を用いることが多く、高効率なスイッチング電源を作るためには、この同期整流 MOS・FET をどのように駆動するかということが重要な問題の一つである。そこで図 11 は、前記の整流ダイオードの代わりに、同期整流 MOS・FET（図 11 の Q102、Q103）を用いた従来回路例を示す。ここで整流回路として整流ダイオードを使った図 10 の回路の問題点は、前記の同期整流 MOS・FET を使った場合の、同期整流 MOS・FET をどのように駆動するかということと以外の問題と共通の問題であるので、従来の技術の説明は、同期整流 MOS・FET を使った図 11 について行う。

【0003】 図 12 は、図 11 の回路の各部の電圧と電流の波形であり、図 13 は図 11 の回路のデューティサイクル（スイッチ素子 Q101 の動作周期に対するオン期間の比率）に対する出力電圧の特性図である。図 12 において、T1 はスイッチ素子 Q101 の動作周期であり、Ton1 はオン期間、Toff1 と Toff2 はオフ期間である。Vqs (Q101)、Id(Q101)、Vds (Q101) は、それぞれスイッチ素子 Q101 のゲート駆動電圧、ドレイン電流、ドレイン・ソース間電圧であり、V(N11) はトランス T101 の一次巻線 N11 の端子間電圧である。

(4)

V(N11) に注目すると、Toff1 の期間に発生している電圧 V(h1) は、スイッチ素子 Q101 がオンの期間にトランス T101 が励磁された分だけリセットするために発生しており、これはオン期間の電圧の時間積分値が、オフ期間の電圧時間積分値に等しくなるように動作する。

【0004】 電圧 V(N11) の Toff1 期間の波形は、トランス T101 の励磁インダクタンスやスイッチ素子 Q101 の出力端子間容量などによって決定されるが、入力電源 Vin の

電圧や負荷への出力電流が変化した時、出力電圧を一定に保つためにスイッチ素子Q101のデューティサイクルが変化すると同時に、 $V(h1)$ の電圧値や T_{off1} 、 T_{off2} の時間も変化する。そこで、どのような入出力条件の時にも、トランスT101がオン期間に励磁された量だけ、オフ期間にリセットさせるためには、トランスT101のリセットが終了し、その一次巻線N11の端子間電圧が零ボルトである T_{off2} の期間を常に余裕をもって設けておくことが必要である。(後述するが、この T_{off2} を大きくする必要があるということが大きな問題である。)

【0005】ここで図12の V_{ds} (Q102)は、同期整流MOS・FET(Q102)のドレイン・ソース間電圧であり、 V_{ds} (Q103)は、同期整流MOS・FET(Q103)のドレイン・ソース間電圧である。これらの電圧はトランスT101の一次巻線N11の端子間電圧 $V(N11)$ の、オフ期間とオン期間の電圧が、それぞれトランスの一次巻線と二次巻線の巻数比で変換された電圧である。

【0006】図11の回路で、高効率なスイッチング電源装置を実現しようとする時に、第一に問題となるのは、図12の V_{ds} (Q102)に示すように、同期整流MOS・FET、Q102のドレイン・ソース間電圧が大きいためオン抵抗の小さいものが使用できず、そこでの電力損失が大きくなり、スイッチング電源の効率が低下するという問題である。すなわち、スイッチング電源の高効率化を図るために、この同期整流MOS・FET、Q102としては、オン抵抗の小さいものを使用したいが、MOS・FETの一般

(5) 的な傾向として、ドレイン・ソース間の耐圧の高いものはオン抵抗は大きくなる。トランスT101の一次巻線N11の端子間電圧 $V(N11)$ のオフ期間の電圧は、トランスT101の励磁インダクタンスやスイッチ素子Q101のドレイン・ソース間容量の共振波形であるために正弦波の曲線となっており、そのために電圧の最大値が大きくなっている。さらに、この電圧は入出力条件で大きく変化するため、この同期整流MOS・FET(Q102)としては、大きな耐圧でオン抵抗は大きなものを使わざるを得ない。この問題は、この同期整流MOS・FET、Q102の代わりに整流ダイオードD101を使用した図10の従来回路例でも同じ問題である。

【0007】この同期整流MOS・FET、Q102の耐圧の問題は、同時に、スイッチ素子Q101の耐圧の問題でもある。この電圧をある電圧に制限するための従来方法としては、第一に、トランスT101の一次巻線N11の端子間にダイオードとコンデンサと抵抗で構成されるクランプ回路を用いる方法があるが、この方法では、電圧は所定の値にクランプされるが、トランスT101の励磁エネルギーがクランプ回路の抵抗で消費されるため、その分だけ効率が低下するという問題がある。また、この電圧をクランプする従来の第二の方法としては、トランスT101に三次巻線を設け、ダイオードを介して入力電源 V_{in} に接続す

ることによってクランプ回路を構成する方法がある。この方法だと、トランスの励磁エネルギーの大部分は入力電源 V_{in} に回生されるが、それでもその回生電流が、このクランプ回路のダイオードを流れる時に、その電圧ドロップによる電力消費が発生して、その分だけ効率が低下し、それにもましてトランスの巻線が増え、トランスが大きく複雑になり、トランスの三次巻線での導通損失が増えるという問題がある。

【0008】次に図11で、高効率なスイッチング電源装置を実現しようとする時に第二に問題となるのは、図12の T_{off2} の期間があるために、スイッチ素子Q101がオフしている全期間に渡って同期整流MOS・FET、Q103を駆動することができず、スイッチング電源の効率が低下するという問題である。(これは同期整流MOS・FETを使っ

(6) た時の特有の問題であり、高効率電源を作る時の最も重要な問題である。)

図11の回路において、スイッチ素子Q101のオン期間には、同期整流MOS・FET、Q103はオフしてQ102がオンし、チョークコイルL10の電流はこのQ102を流れる。一方、スイッチ素子Q101のオフ期間には、同期整流MOS・FET、Q102はオフして、Q103がオンし、チョークコイルL10の電流は、このQ103を流れる。ここで、同期整流MOS・FET、Q102とQ103のゲート端子は、それぞれトランスT101の二次巻線N12の電圧によって駆動される。すなわち、それぞれの同期整流MOS・FETは、一方がオンする時、そのためのゲート駆動電圧は、オフしている他方の同期整流MOS・FETのドレイン・ソース間電圧を用いている。

【0009】そこで、スイッチ素子Q101のオフの期間は T_{off1} と T_{off2} とで構成されているが、図12の V_{ds} (Q102)の波形からわかるように、 T_{off1} の期間には、 V_{ds} (Q102)の電圧がある値を持っているために、同期整流MOS・FET、Q103を駆動することが可能であるが、 T_{off2} の期間には、 V_{ds} (Q102)の電圧が零ボルトであるために、Q103を駆動することができない。そこでこの T_{off2} の期間にはQ103はオフしており、この間、チョークコイルL10の電流は、Q103のボディダイオード(MOSFETの素子構造のため、ソース端子からドレイン端子に向かって寄生的に入っているダイオードである)を流れる。この時このボディダイオードでの電圧ドロップは同期整流MOS・FET、Q103がオンしている時の電圧ドロップに比べて格段に大きいため、この T_{off2} の期間の電力損失が増大してスイッチング電源の効率を低下させてしまう。

【0010】第三に問題となるのは、出力リプル電圧が大きいため出力フィルタのチョークコイルが大きくなってしまい、これは言い替えると、一定の大きさのチョークコイルで出力リプル電圧を規定の値に抑えようとすると、そのチョークコイルの鉄損や銅損が増加して、間接的にスイッチング電源装置の効率を低下させてしまうという問題である。

(7)

図12において、 $V_{ds}(Q103)$ は図11の同期整流MOS・FET、Q103のドレイン・ソース間の電圧を示しており、これは図11のP点の電圧 $V(P)$ でもあり、この電圧を出力フィルタ(L10,C10)で平均化し、交流成分を除いた電圧が出力電圧となる。 $V_{ds}(Q103)$ のなかで V_{out} で示したのが出力電圧である。すなわち、この $V_{ds}(Q103)$ の電圧と出力電圧(コンデンサC10の端子間電圧)が、それぞれ出力フィルタのチョークコイルL10の端子間に印加され、この差電圧によって、 $I(L10)$ で示すような、チョークコイルL10を流れる電流のリブル電流成分が決定され、このリブル電流と、出力フィルタのコンデンサC10の等価直列抵抗との積で出力リブル電圧のおおよその値が決定される。

【0011】図13は図11の回路のデューティサイクルに対する出力電圧の特性図であるが、この特性図からわかるように、出力電圧がデューティサイクルに比例するので、一般的に入出力条件が定格の所で、デューティサイクルを0.5に近く設定する。図12の $V_{ds}(Q103)$ の波形において、零ボルトの期間(すなわち T_{off1} の期間と T_{off2} の期間の和)が全体の周期(すなわち $T1$ の期間)と比べて約50%程度あるため、出力リブル電圧が大きくなり、これは言い替えると、一定の大きさのチョークコイルで出力リブル電圧を規定の値に抑えようとする、そのチョークコイルの鉄損や銅損が増加して、間接的にスイッチング電源装置の効率を低下させてしまうという問題になる。

【0012】

【発明が解決しようとする課題】高効率なスイッチング電源を構成しようとした場合、前記の従来の技術の項で説明した様に、トランスの二次側の整流回路を構成している整流素子での電力損失が特に多く、この電力損失をいかに減らすかということが、大きな課題である。特に最近では、この整流素子として、同期整流MOS・FETを用いてその導通損失を減らす手法が多く用いられるが、この場合にも、この同期整流MOS・FETをいかに効果的に駆動させるかということが重要な問題である。

(8)

そこで本発明回路の目的は、この電力損失の少ない低耐圧の整流素子を用いることを可能にし、とくに整流素子として同期整流MOS・FETを用いた場合、これを全期間に渡って駆動し、高効率なスイッチング電源装置を実現させる回路を提供することである。

【0013】

【課題を解決するための手段】上記の目的を達成するための本発明のスイッチング電源装置は直流電圧を受ける入力端子と、少なくとも一次巻線および二次巻線を有するトランスと、前記入力端子間に接続される第一のチョークコイルと第一のスイッチ素子との第一の直列回路と、前記第一のスイッチ素子の端子間に接続される前記

トランスの一次巻線と第一のコンデンサとの第二の直列回路と、前記第一のスイッチ素子がオフの期間に、前記第一のチョークコイルの電流の一部を流す経路を構成するための第二のスイッチ素子と第二のコンデンサとの第三の直列回路と、前記トランスの二次巻線に接続される整流回路と、前記整流回路に接続されるフィルタ回路と、前記フィルタ回路に接続され負荷に直流電圧を出力する出力端子と、前記出力端子の出力電圧を検出して、前記第一と第二のスイッチ素子を、一方がオンの時に他方がオフであるように交互にオンさせて、第一のスイッチ素子のオンとオフの期間の比率を変化させることによって、前記出力端子の出力電圧を一定にするように制御する制御回路を有することを特徴とする。

【0014】本発明の第二の特徴は図1に示すようにトランスの一次側スイッチ素子としてMOS・FETを使用し、又二次側整流回路を同期整流回路としたことである。

【0015】第三の特徴は第二のスイッチ素子と第二のコンデンサとの第三の直列回路をトランスの一次巻線間に接続した点にある。

【0016】本発明の第四の特徴は図6に示すように、第三の直列回路を第一のスイッチ素子

(9)

の端子間に接続した点である。

【0017】本発明の第五の特徴は図8に示すように、第三の直列回路をトランスの二次巻線の端子間に接続した点である。

【0018】本発明の第六の特徴は図9に示すようにトランスに三次巻線を設け、第三の直列回路をこの三次巻線間に接続した点にある。

【0019】

【発明の実施の形態】以下図面を用いて本発明の実施の形態について説明する。図1は本発明回路の第一の実施例である。図2は図1の回路の各部の電圧と電流の波形であり、図3は図1の回路のデューティサイクル(スイッチ素子Q1の動作周期に対するオン期間の比率)に対する出力電圧の特性図であり、図4は、その動作説明のための図である。

【0020】図1において、 V_{in} は、入力電源であり、2a、2bは入力端子であり、L1は第一のチョークコイルであり、Q1とQ2は、それぞれ第一と第二のスイッチ素子であり、C1とC2は、それぞれ第一と第二のコンデンサであり、TとN1とNaとNbは、それぞれトランスと、その一次巻線、第一の二次巻線部分、第二の二次巻線部分であり、Q3とQ4は、それぞれ第一の同期整流MOS・FET、第二の同期整流MOS・FETであり、L2とCoutは、それぞれ出力フィルタを構成している第二のチョークコイルと第三のコンデンサであり、16a、16bは出力端子であり、17は負荷であり、18は制御回路である。

【0021】次に、図1の回路動作を、その各部の電圧と電流の波形である図2を用いて説明する。図2におい

10

20

30

40

50

て、 T_{31} はスイッチ素子の動作周期、 T_{on31} は第一のスイッチ素子 $Q1$ がオンの期間、 T_{on32} は第二のスイッチ素子 $Q2$ がオンの期間、 T_{off31} と T_{off32}

(10)

f_{32} は第一と第二のスイッチ素子の両方がオフの期間であるが、この T_{off31} と T_{off32} は、スイッチ素子 $Q1$ と $Q2$ とが同時にオンして第一と第二のコンデンサ $C1$ と $C2$ の直列回路が短絡するのを防ぐための期間であり、スイッチ素子 $Q1$ と $Q2$ のスイッチング時の遅れ時間などを考慮して、必要最小限の値で良い。また、 $V_{gs}(Q1)$ と $V_{gs}(Q2)$ は、それぞれスイッチ素子 $Q1$ と $Q2$ のゲート駆動電圧波形である。これらの波形からわかるように、第一のスイッチ素子 $Q1$ と第二のスイッチ素子 $Q2$ は、 T_{off31} と T_{off32} の短い期間を除いて、一方がオンの期間に他方はオフし、他方がオンの期間に一方はオフするように制御し、動作周期 T_{31} に対する一方のスイッチ素子のオン期間の比率

(デューティサイクル)を変化させることによって、出力電圧 V_{out} の定電圧制御を行なう。

【0022】次に図2において、 $I(L1)$ は第一のチョークコイル $L1$ を流れる電流であり、 $I(N1)$ と $V(N1)$ は、それぞれトランス T の一次巻線 $N1$ を流れる電流と、その端子間電圧であり、 $I(Q1)$ と $I(Q2)$ は、それぞれ第一と第二のスイッチ素子 $Q1$ と $Q2$ を流れる電流であり、 $V_{ds}(Q3)$ と $V_{ds}(Q4)$ は、それぞれ第一と第二の同期整流MOS・FET、 $Q3$ と $Q4$ のドレイン・ソース間電圧であり、 $V(R)$ は R 点の電圧であり、 $I(L2)$ は出力フィルタの第二のチョークコイル $L2$ を流れる電流である。

【0023】次に図2の各部の電圧電流波形について説明する前に、その理解を助けるために、図4(a)(b)(c)を用いて図1の回路の概要を説明する。すなわち図1の回路は、図4の(a)と(b)に示す回路の両方の動作を兼ねていると考えることができる。ここで、図1の回路において、第二のスイッチ素子 $Q2$ は、第一のスイッチ素子 $Q1$ がオンの期間にオフし、第一のスイッチ素子 $Q1$ がオフの期間にオンするので、この第二のスイッチ素子 $Q2$ の動作は、図4(c)に示す昇圧チョップ回路の転流ダイオード $D21$ の動作と同じである。そこで、図4(a)の回路は、図4(c)の回路に置き換えて考えることができる。すなわち、図4(a)の回路は、昇圧チョップ回路の構成といえる。一方図4(b)の回路における第一と第二のコンデンサ $C1$ と $C2$ との直列回路は、 $C1$ と $C2$ の値を十分に大きくすると、常に、ある直流電圧を持

(11)

つので、その端子間を入力電源とするハーフブリッジ回路と考えることができる。

【0024】図1の回路の動作は、図4(a)で示す昇圧チョップ回路の動作で、入力電源 V_{in} から、第一と第二のコンデンサ $C1$ と $C2$ との直列回路に電力を送り、それと同時に、図(b)で示すハーフブリッジ回路の動作で、この第一と第二のコンデンサ $C1$ と $C2$ との直列回路か

ら、負荷(17)に電力を供給していると考えられる。

(定量的な解析は後述する。)ここで、前述したように第一と第二のコンデンサ $C1$ と $C2$ は、図4(a)の回路で示すような昇圧チョップ動作によって、常に、ある直流電圧を持って動いている。また、図(b)で示したハーフブリッジ回路は、動作周期 T_{31} に対する第一のスイッチ素子 $Q1$ のオン期間の比率を変えて制御している。

【0025】次に、図2の各部の電圧電流波形について説明をする。まず、第一のスイッチ素子 $Q1$ がオンの期間(T_{on31})には、第一のチョークコイル $L1$ には、 $I(L1)$ で示すような電流が入力電源 V_{in} から第一のスイッチ素子 $Q1$ に向かって流れている。この電流の傾きは、入力電源 V_{in} の電圧を V_a 、第一のチョークコイル $L1$ のインダクタンスを L_a とすると、 V_a/L_a の値を持つ。一方トランス T の一次巻線 $N1$ には、 $I(N1)$ で示すような電流が、第一のコンデンサ $C1$ から、第一のスイッチ素子 $Q1$ に向かって流れている。(この期間に流れる電流の向きをプラスとする。)このトランス T の一次巻線 $N1$ を流れる電流の値は、出力フィルタの第二のチョークコイル $L2$ を流れる電流を、トランス T の巻数比でトランスの一次側に換算した値の電流に、トランス T の励磁電流を加えたものである。そこで第一のスイッチ素子 $Q1$ には、前記の第一のチョークコイル $L1$ を流れる電流と、トランス T の一次巻線 $N1$ を流れる電流の和の電流が流れる。これは、図2の $I(Q1)$ に示すような電流波形となる。

【0026】次に、第二のスイッチ素子 $Q2$ がオンの期間(T_{on32})には、第一のチョークコイル

(12)

$L1$ に、 $I(L1)$ で示すような電流が入力電源 V_{in} から第二のスイッチ素子 $Q2$ に向かって流れている。(これは、図4(c)の昇圧チョップ回路で、第一のスイッチ素子 $Q1$ がオフして、第一のチョークコイル $L1$ を流れる電流が、ダイオード $D21$ を流れることに相当する。)この電流の傾きは、入力電源 V_{in} の電圧を V_a 、第一のチョークコイル $L1$ のインダクタンスを L_a 、第一と第二のコンデンサ $C1$ と $C2$ との直列回路の持つ電圧を V_b とすると、 $(V_a - V_b)/L_a$ の値を持つ。また、この時に、第一のチョークコイル $L1$ を流れる電流は、第二のスイッチ素子 $Q2$ を通り、第二のコンデンサ $C2$ 、第一のコンデンサ $C1$ 、入力電源 V_{in} を通して、第一のチョークコイル $L1$ に戻る経路で流れる。

【0027】一方、この第二のスイッチ素子 $Q2$ がオンの期間(T_{on32})には、トランス T の一次巻線 $N1$ に、 $I(N1)$ で示すような電流が流れている。これは、第二のコンデンサ $C2$ から、第二のスイッチ素子 $Q2$ を通り、トランス T の一次巻線 $N1$ を通して、第二のコンデンサ $C2$ に戻る経路で流れている。このトランス T の一次巻線 $N1$ を流れる電流の値は、第一のスイッチ素子 $Q1$ がオンの期間(T_{on31})と同じように、出力フィルタのチョークコイル $L2$ を流れる電流を、トランス T の巻数比でトランスの一次側に換算

した電流に、トランスTの励磁電流を加えたものである。そこで、第二のスイッチ素子Q2がオンの期間には、第一のチョークコイルL1を流れる電流I(L1)は、第二のスイッチ素子Q2のソース端子からドレイン端子に向かって流れ、トランスTの一次巻線N1を流れる電流I(N1)は、前記のI(L1)と逆向きに、第二のスイッチ素子Q2のドレイン端子からソース端子に向かって流れるので、第二のスイッチ素子Q2には、前記の第一のチョークコイルL1を流れる電流I(L1)と、トランスTの一次巻線N1を流れる電流I(N1)の差の電流が流れる。これは、図2のI(Q2)に示すような電流波形となる。

【0028】次に、図2のV(N1)はトランスTの一次巻線N1の端子間電圧を示しているが、この波形の、Ton31の期間の電圧は、第一のスイッチ素子Q1がオンしているの

で第一

(13)のコンデンサC1の端子間電圧に相当し、Ton32の期間の電圧は第二のスイッチ素子Q2がオンしているの第二のコンデンサC2の端子間電圧に相当する。Vds(Q3)とVde(Q4)は、それぞれ図1の同期整流MOS・FET、Q3とQ4のドレイン・ソース間電圧であり、これらの電圧は、それぞれ他方の同期整流MOS・FETのゲート駆動電圧となっている。また、V(R)はR点の電圧波形であり、I(L2)は出力フィルタの第二のチョークコイルL2を流れる電流波形である。また、これらのVds(Q3)とVde(Q4)の波形は、それぞれTon31の期間とTon32の期間のトランスTの一次巻線N1の端子間電圧V(N1)を、トランスTの一次巻線N1と第一の二次巻線部分Na(または第二の二次巻線部分Nb)の巻数比で変換した電圧であり、R点の電圧V(R)は、前記Vds(Q3)とVde(Q4)の電圧波形を加えた波形である。

【0029】V(R)の波形の中で、Voutは出力端子(16a、16b)での出力電圧を示しており、このR点の電圧V(R)と出力電圧Voutが、出力フィルタの第二のチョークコイルL2の端子間に印加されて、I(L2)に示すようなリプル電流が流れ、そのリプル電流値と、出力フィルタの第三のコンデンサCoutの等価直列抵抗との積で、およそ決定される値のリプル電圧が、出力電圧に発生する。

【0030】以上の説明から明らかなように、図1の第一の実施例は、図2のVds(Q3)とVde(Q4)で示すところの、同期整流MOS・FET、Q3とQ4のドレイン・ソース間電圧が、Toff31とToff32の短い期間を除いて、常にどちらか一方に発生しているので、同期整流MOS・FETを駆動できない期間が長くなってしまいう問題が無い。また、Vds(Q3)とVde(Q4)の波形からもわかるように、同期整流MOS・FET、Q3とQ4に印加される電圧波形は矩形であるために、その電圧は異常に上昇することが無く(従来の回路例では、共振波形であるために問題になった)、低耐圧でオン抵抗の小さい同期整流MOS・FETを使うことができる。

【0031】次に、図3に示すところの、図1のデュー

ティサイクル(主スイッチ素子Q1の動

(14)

作周期に対するオン期間の比率)に対する出力電圧の特性について説明する。図1において、入力電源Vinの電圧をVa、第一と第二のスイッチ素子、Q1とQ2のデューティサイクル(スイッチ素子の動作周期に対するオン期間の比率)をそれぞれD、1-Dとし、第一と第二のコンデンサC1とC2の端子間電圧をそれぞれV(C1)、V(C2)とし、トランスTの一次巻線N1と第一の二次巻線部分Na(または第二の二次巻線部分Nb)との巻数比をn:1とし、第一と第二の同期整流MOS・FET、Q3とQ4のそれぞれのドレイン・ソース間電圧を、Vds(Q3)、Vds(Q4)とし、出力端子(16a、16b)での出力電圧をVoutとすると、図4(a)で示す昇圧チョップの回路構成から、次式が成り立つ。(ただし、これ以降の数値解析において、第一と第二のスイッチ素子Q1、Q2および、第一と第二の同期整流MOS・FET、Q3とQ4での導通時の電圧降下と、第一と第二のスイッチ素子Q1、Q2がともにオフしているToff31とToff32の期間は、非常に小さいものとして無視する。)

【0032】

【数1】

$$V(C1) + V(C2) = Va / (1 - D)$$

【0033】また、トランスTのコア(磁性体)の動作に関して、第一のスイッチ素子Q1がオンの期間に励磁される量は、第二のスイッチ素子Q2がオンの期間にリセットされる量と等しいので、次式が成り立つ。

【0034】

【数2】

$$V(C1) \times D = V(C2) \times (1 - D)$$

【0035】数1と数2から次式が導かれる。

【0036】

【数3】

$$V(C1) = Va$$

【0037】

【数4】

$$V(C2) = Va \times D / (1 - D)$$

(15)

【0038】また、第一と第二の同期整流MOS・FET、Q3とQ4の、オフしている時のドレイン・ソース間電圧は、それぞれ第一と第二のコンデンサC1とC2の端子間電圧を、トランスTの巻数比で変換した電圧であるので次式が成り立つ。

【0039】

【数5】

$$Vds(Q3) = V(C1) / n = Va / n$$

【0040】

【数6】

$$\begin{aligned} V_{ds}(Q4) &= V(C2)/n \\ &= V_a \times D / \{ (1-D) \times n \} \end{aligned}$$

【0041】また、出力端子(16a、16b)での出力電圧は、R点の電圧を出力フィルタで平均化した値であり、このR点の電圧は、前記の第一と第二の同期整流MOS・FET、Q3とQ4のドレイン・ソース端子間電圧である $V_{ds}(Q^*$

*3)と $V_{ds}(Q4)$ とを加えた電圧であるので、スイッチング周期を T_0 とすると次式が成り立つ。

【0042】

【数7】

$$\begin{aligned} V_{out} &= \frac{1}{T_0} \int_0^{T_0} V(R) dt \\ &= \frac{1}{T_0} \left\{ \int_0^{D \cdot T_0} V_{ds}(Q3) dt + \int_{D \cdot T_0}^{T_0} V_{ds}(Q4) dt \right\} \\ &= D \times V_{ds}(Q3) + (1-D) \times V_{ds}(Q4) \\ &= 2 \times V_a \times D / n \end{aligned}$$

【0043】数7より、図1の回路においては、出力電圧 V_{out} は、デューティサイクル D （スイッチ素子 $Q1$ の動作周期に対するオン期間の比率）に比例することがわかり、これを図示すると図3のようになる。

【0044】ここで、図3の出力特性は、比例特性となっているので、入出力が定格の条件でデューティサイクルを0.5に設定することが可能であり、この時、第一と第二の同期整流MOS・FET、Q3とQ4のドレイン・ソース間電圧である $V_{ds}(Q3)$ と $V_{ds}(Q4)$ は、数5と数6からともに V_a / n になることがわかる。そこで、入出力条件の変化に対しても、矩形波のままで、この値を中心として変化するので、従来回路例のように、同期整流MOS・FETとして特に耐圧が大きくオン抵抗の大きいものを使う必要が無い。

(16)

さらに、 $V_{ds}(Q3)$ と $V_{ds}(Q4)$ の電圧が同じであるということは（実際にはトランスTの巻数が整数であるので若干ずれる）、R点での電圧 $V(R)$ の変化が非常に小さいということであり、 T_{on31} の期間の電圧と、 T_{on32} の期間の電圧が、同じか、または異なっている、その差が非常に小さいために、その結果として、出力フィルタの第二のチョークコイル $L2$ が小さくなり、そのチョークコイル $L2$ での電力損失が少なくなって、スイッチング電源の効率を高くすることができる。（実際には入出力条件の変動も見込んで出力フィルタを設計するが、それでもかなり小さくすることができる。）以上の解析結果は、実験によっても、その妥当性が確認されている。

【0045】又、図2の $I(N1)$ は、トランスTの一次巻線 $N1$ を流れる電流を示しているが、一般的にトランスTは漏れインダクタンスを持っているため、両方のスイッチ素子がオフしている期間である T_{off31} と T_{off32} とを適当に調整することによって、この漏れインダクタンスを流れていた電流が、一方のスイッチ素子がオフしたあとで、他方のスイッチ素子がオンする前に、この他方のス

スイッチ素子のドレイン・ソース間の寄生容量を放電させ、いわゆるZVSの動作をさせることができる。その結果、スイッチ素子のドレイン・ソース間の寄生容量に蓄えられたエネルギーを回収することができ、スイッチング電源の効率を上げることができる。

【0046】以上の説明から明らかなように、図1の回路においては、同期整流MOS・FET、Q3とQ4を、 T_{off31} と T_{off32} の短い期間を除いて、常にどちらか一方を駆動しており（出力フィルタの第二のチョークコイル $L2$ を流れる電流が流れる側の同期整流MOS・FETを駆動している）、それらのドレイン・ソース間電圧が低いので、耐圧が小さくオン抵抗が小さいものを使用でき、出力フィルタは小さくできるので、そこでの電力損失も少ない。その結果として高効率のスイッチング電源装置を作ることができる。

【0047】

(17)

又、図1の回路において、第一と第二のスイッチ素子 $Q1$ と $Q2$ は、NチャネルMOS・FETを用いているが、これらはどちらか一方、又は両方ともPチャネルMOS・FETを用いた場合にも、回路動作はまったく同じである。

【0048】又、前記の第一と第二のスイッチ素子 $Q1$ と $Q2$ は、MOS・FETに限定することなく、たとえばIGBTを用いても、回路動作はまったく同じである。

【0049】又、図1の回路において、第一と第二のスイッチ素子 $Q1$ と $Q2$ は対称な位置関係にあるので、入力電源 V_{in} と第一のチョークコイル $L1$ の直列回路を、第一のスイッチ素子 $Q1$ のドレイン・ソース端子間ではなく、第二のスイッチ素子 $Q2$ のドレイン・ソース端子間に接続しても、 $Q1$ と $Q2$ の役割は入れ替わるが、その他の回路動作は同じである。

【0050】又、図1の回路において、トランスTの二次巻線 N_a 又は N_b に接続される整流回路は整流素子2個による全波整流回路になっているが、これはこの構成に限

20

30

40

50

定されるものではなく、2 個の整流素子のうちの 1 個をフリーホイール用として用いた半波整流回路でも同様の効果が得られるし、又、整流素子 4 個でブリッジ型に構成した全波整流回路でも同様の効果が得られる。

【0051】次に、図 1 の回路において、第一と第二の同期整流 MOS・FET、Q3 と Q4 のドライブ方法について述べる。図 1 の回路における第一と第二の同期整流 MOS・FET、Q3 と Q4 は、それぞれ他方の同期整流 MOS・FET のドレイン・ソース間電圧によってゲート端子を駆動しているが、このゲート端子の駆動方法は、図 1 に示した方法に限らず、トランス T の巻線から得られる電圧であれば、同様の効果が得られる。同期整流 MOS・FET の他の駆動方法の一例を図 5 に示す。ここで、同期整流 MOS・FET の駆動方法に関して、図 5 の回路動作は、図 1 の回路動作と、まったく等価である。

(18)

【0052】次に、第二のスイッチ素子 Q2 と第二のコンデンサ C2 との第三の直列回路の接続場所について述べる。図 1 の回路の第一の実施例では、トランス T の一次巻線 N1 の端子間に接続されているが、図 6 の本発明回路の第二の実施例では、第一のスイッチ素子 Q1 の端子間に接続されている。この違いを図 7 の説明図によって説明する。図 7 において、(イ) と (ロ) は、どちらもハーフブリッジ回路で、それぞれ本発明回路の第一の実施例と第二の実施例に対応するが、ここで、第二のスイッチ素子と第二のコンデンサの直列回路は、それぞれ、Q2 と C2、および Q52 と C52 であり、ここで、(ロ) に示す C100 を想定すると、(ロ) の C52 を (イ) の C1 と C2 との直列回路と等価な容量値を持つコンデンサとすれば、(ロ) のコンデンサ C52 は C2 と同じ容量値のコンデンサ C100 と置き換が可能である。すなわち、第二の実施例である図 6 は、図 1 の第一の実施例と同じ効果が得られると言える。

【0053】次に、図 8 と図 9 は、それぞれ前記の第二のスイッチ素子 Q62 と第二のコンデンサ C62 との直列回路を、トランスの二次巻線の端子間に接続した場合の第三の実施例と、トランス T の三次巻線 N3 の端子間に接続した場合の第四の実施例であるが、これらはどちらもトランスの巻数比で、トランスの一次側に変換することが可能であり、等価回路では、図 1 の本発明の第一の実施例と同じになる。すなわち、図 8 と図 9 に示す第三と第四の実施例は、図 1 の第一の実施例と同じ効果が得られると言える。

【0054】

【発明の効果】以上の説明から明らかなように、本発明回路においては、同期整流 MOS・FET、Q3 と Q4 を、Toff31 と Toff32 の短い期間を除いて、常に駆動することが可能であり、同期整流 MOS・FET、Q3 と Q4 としては耐圧が小さくオン抵抗が小さいものを使用でき、出力フィルタも小さくすることができる。その結果として高効率のスイッチング電源装置を作ることができる。これは、通信等で

出力電圧が低く（たとえば

(19)

5V とか 3.3V 出力) 出力電流の大きい高効率なスイッチング電源を作る時に特に効果大きい。

【図面の簡単な説明】

【図 1】本発明の第一の実施例である。

【図 2】図 1 の回路の各部の電圧と電流の波形である。

【図 3】図 1 の回路のデューティサイクル（スイッチ素子 Q1 の動作周期に対するオン期間の比率）に対する出力電圧の特性図である。

【図 4】図 1 の回路の動作説明図である。

【図 5】本発明の同期整流 MOS・FET の他の駆動方法の説明図である。

【図 6】本発明の第二の実施例である。

【図 7】図 6 の回路の説明図である。

【図 8】本発明の第三の実施例である。

【図 9】本発明の第四の実施例である。

【図 10】第一の従来回路例である。

【図 11】第二の従来回路例である。

(20)

【図 12】図 11 の回路の各部の電圧と電流の波形である。

【図 13】図 11 の回路のデューティサイクル（スイッチ素子 Q101 の動作周期に対するオン期間の比率）に対する出力電圧の特性図である。

【符号の説明】

2a、2b … 入力端子

16a、16b … 出力端子

17 … 負荷

18 … 制御回路

C1 … 第一のコンデンサ

C2 … 第二のコンデンサ

C10、C22、C62、C52、C100 … コンデンサ

Cout … 出力フィルタの第三のコンデンサ

D21 … ダイオード

D101、D102 … 整流ダイオード

L1 … 第一のチョークコイル

L2 … 出力フィルタの第二のチョークコイル

L10 … チョークコイル

Q1 … 第一のスイッチ素子

Q2 … 第二のスイッチ素子

Q52、Q62、Q101 … スwitch素子

Q3、Q4、Q102、Q103 … 同期整流 MOS・FET

T、T101 … トランス

N1 … トランス T の一次巻線

Na … トランス T の第一の二次巻線部分

Nb … トランス T の第二の二次巻線部分

(21)

N11 … トランス T101 の一次巻線

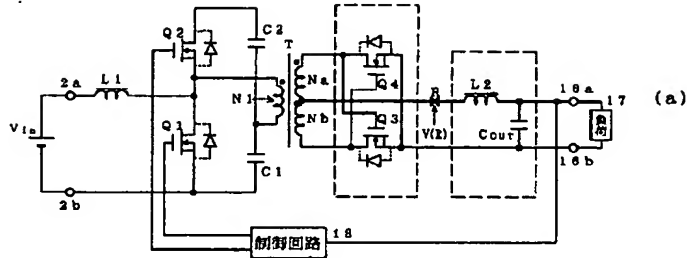
N12 … トランス T101 の二次巻線

V_{in} ... 入力電源
 $V(R)$... R点の電圧

* $V(P)$... P点の電圧

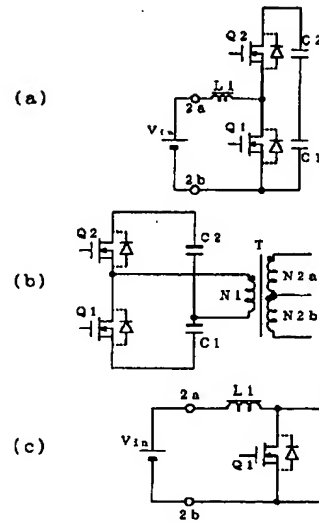
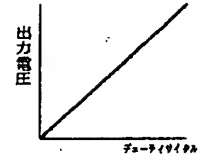
*

【図1】



【図4】

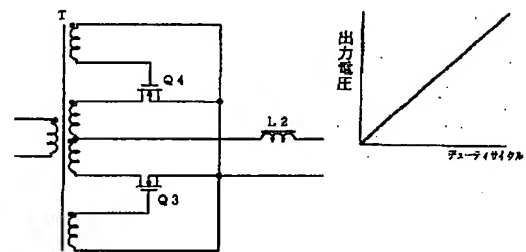
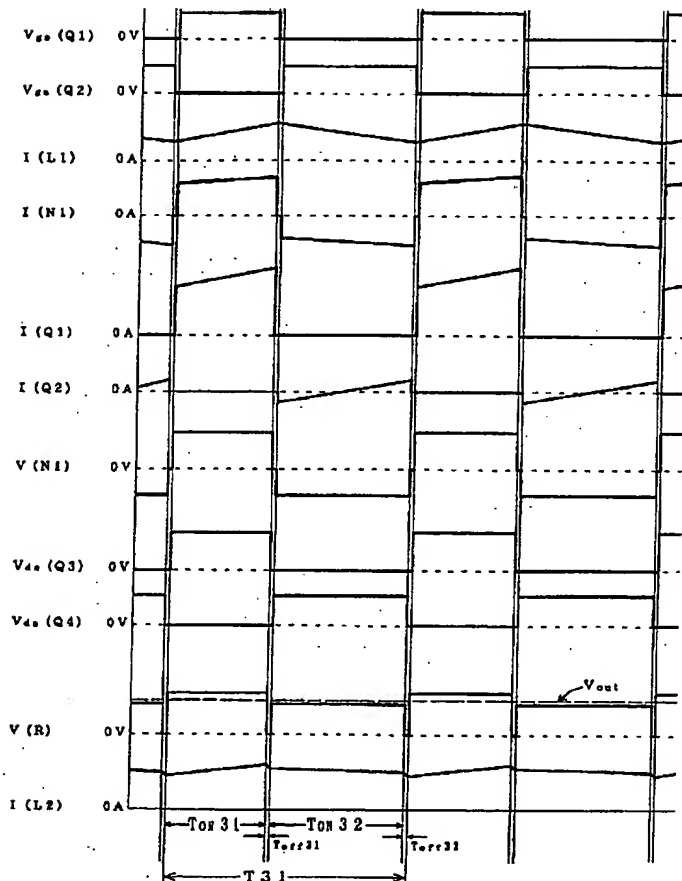
【図3】



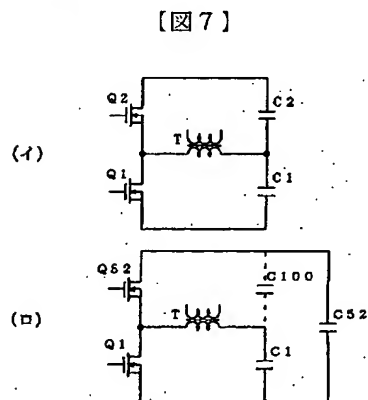
【図2】

【図5】

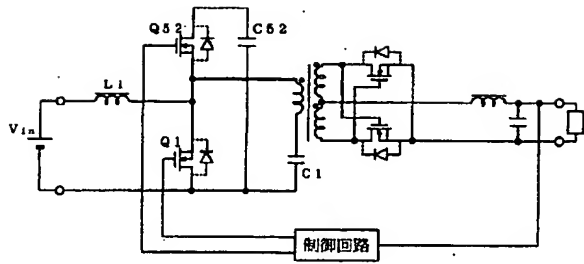
【図13】



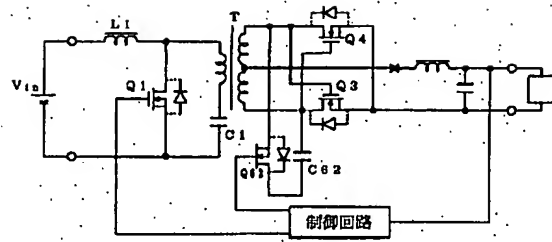
【図7】



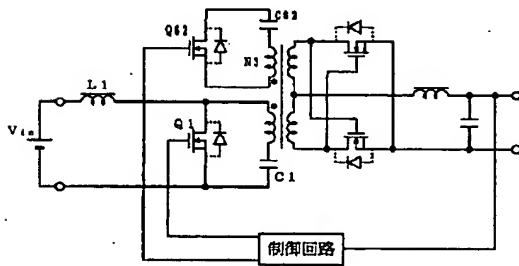
【図 6】



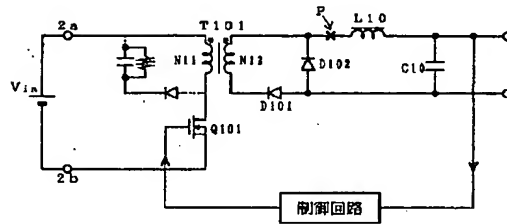
【図 8】



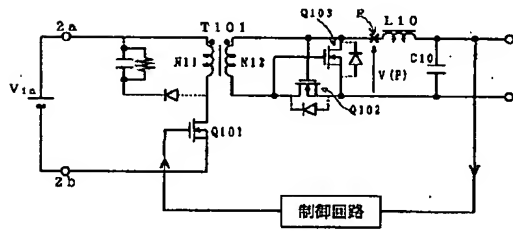
【図 9】



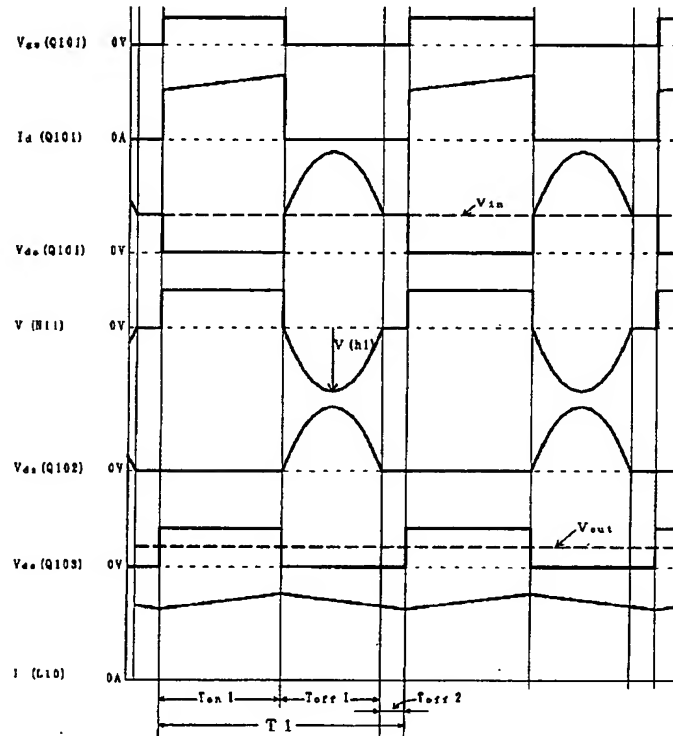
【図 10】



【図 11】



【図 12】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Switching power supply equipment characterized by providing the following An input terminal which receives direct current voltage A transformer which has a primary winding and a secondary winding at least The first series circuit of the first choke coil and the first switching device which are connected between said input terminals The second series circuit of the primary winding of said transformer and the first capacitor which are connected between terminals of said first switching device, The third series circuit of the second switching device for constituting a path which passes a part of current of said first choke coil at a period when said first switching device is off, and the second capacitor, A rectifier circuit connected to a secondary winding of said transformer, and a filter circuit connected to said rectifier circuit, An output terminal which is connected to said filter circuit and outputs direct current voltage to a load, By detecting output voltage of said output terminal, making said first and second switching device turn on by turns so that another side may be off, when one side is ON, and changing a ratio of ON of the first switching device, and a period of OFF A control circuit controlled to make output voltage of said output terminal regularity

[Claim 2] Switching power supply equipment of claim 1 characterized by fixing clock frequency of a control circuit.

[Claim 3] Switching power supply equipment of claim 1 characterized by using MOS-FET as the first switching device and second switching device, or claim 2.

[Claim 4] Switching power supply equipment of claim 1 characterized by a secondary winding of a transformer consisting of the first secondary-winding portion and the second secondary-winding portion, claim 2, or claim 3.

[Claim 5]

(2)

Switching power supply equipment of claim 1 characterized by preparing a tertiary winding in a transformer, claim 2, claim 3, or claim 4.

[Claim 6] It is switching power supply equipment of claim 4 characterized by connecting so that it may constitute from MOS-FET for synchronous detection by which a rectifier circuit was connected to the first secondary-winding portion of a transformer, and the second secondary-winding portion, respectively, and said MOS-FET may be turned on by turns with induced voltage of a secondary winding of a transformer corresponding to it and full wave rectification of the output of a secondary winding of said transformer may be carried out, or claim 5.

[Claim 7] Switching power supply equipment of claim 4 characterized by connecting so that it may turn on by turns corresponding to it and full wave rectification of the output of a secondary winding of said transformer may be carried out, when it constitutes from diode for rectification by which a rectifier circuit was connected to the first secondary-winding portion of a transformer, and the second secondary-winding portion, respectively and the first and the second switching device turn on by turns, or claim 5.

[Claim 8] Switching power supply equipment of claim 6 characterized by connecting the third series circuit between primary windings of a transformer, or claim 7.

[Claim 9] Switching power supply equipment of claim 6 characterized by connecting the third series circuit between terminals of the first switching device, or claim 7.

[Claim 10] Switching power supply equipment of claim 6 characterized by connecting the third series circuit between secondary windings of a transformer, or claim 7.

[Claim 11] Switching power supply equipment of claim 6 characterized by connecting the third series circuit between tertiary windings of a transformer, or claim 7.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

(3)

[0001]

[Field of the Invention] This invention relates to efficient-ization of switching power supply equipment.

[0002]

[Description of the Prior Art] The first example of the conventional circuit is shown in drawing 10, and the second example of the conventional circuit is shown in drawing 11. When drawing 10 is a general forward method and efficient switching power supply is constituted using this circuit (in the case [An output especially 5 3.3 / V / like V a low battery] of a high current), Since there is much power loss in the rectifier diode by the side of the secondary winding of a transformer (namely, D101, D102 of drawing 10), In order to use synchronous detection MOS-FET for instead of [these] in many cases and to make efficient switching power supply, it is one of the important problems how this synchronous detection MOS-FET is driven. Then, drawing 11 shows the example of a circuit instead of the aforementioned rectifier diode conventionally which used synchronous detection MOS and FET (Q102, Q103 of drawing 11). Since the troubles of the circuit of drawing 10 using rectifier diode are a problem except how synchronous detection MOS-FET at the time of using aforementioned synchronous detection MOS-FET is driven, and a common problem as a rectifier circuit, explanation of a Prior art is given about drawing 11 using synchronous detection MOS-FET here.

[0003] Drawing 12 is the voltage of each part of the circuit of drawing 11, and the wave of current, and drawing 13 is property drawing of output voltage to the duty cycle (ratio of the "on" period to the period of a switching device Q101 of operation) of the circuit of drawing 11. In drawing 12, T1 is the period of a switching device Q101 of operation, Ton1 is a "on" period and Toff1 and Toff2 are "off" periods. Vgs (Q101), Id (Q101), and Vds (Q101) are the gate driver voltage of a switching device Q101, drain current, and the voltage between the drain sources, respectively, and V (N11) is the voltage between terminals of the primary winding N11 of a transformer T101.

(4)

If V (N11) is observed, it will have generated, in order that the voltage V (h1) generated at the period of Toff1 may reset only the part by which the transformer T101 was excited at the period of ON of a switching device Q101, and this will operate so that the time quadrature value of the voltage of a "on" period may become equal to the voltage time quadrature value of a "off" period.

[0004] Although the wave of Toff1 period of voltage V (N11) is determined by the excitation inductance of a transformer T101, the capacity between output terminals of a switching device Q101, etc., when the output current to the voltage and the load of input power Vin changes, the voltage value of V (h1) and the time amount of Toff1 and Toff2 also change at the same time the duty cycle of a switching device Q101 changes, in order to keep output voltage constant. Then, at the time of any I/O conditions, in order to make a "off" period reset only the amount in which the transformer T101 was excited by the "on" period, it is required to complete reset of a transformer T101 and to always establish the period of Toff2 whose voltage between terminals of the primary winding N11 is 0 volts with additional coverage.

(Although mentioned later, it is a big problem that it is necessary to enlarge this T_{off2} .)

[0005] V_{ds} (Q102) of drawing 12 is the voltage between the drain sources of synchronous detection MOS-FET (Q102) here -- V_{ds} (Q103) is the voltage between the drain sources of synchronous detection MOS-FET (Q103). Such voltage is the voltage from which the voltage of the "off" period of the voltage V between terminals of the primary winding N11 of a transformer T101 (N11) and a "on" period was changed by the turn ratio of the primary winding of a transformer, and a secondary winding, respectively.

[0006] When it is going to realize efficient switching power supply equipment in the circuit of drawing 11, becoming a problem in the first place is the problem that cannot use the small thing of on resistance since synchronous detection MOS-FET and the voltage between the drain sources of Q102 are large, but the power loss of a there becomes large, and the effectiveness of switching power supply falls, as shown in V_{ds} (Q102) of drawing 12. That is, MOS-FET is general, although he wants to use the small thing of on resistance as this synchronous detection MOS-FET and Q102 in order to attain efficient-ization of switching power supply (5).

As **** orientation, on resistance becomes large like the high thing of pressure-proofing between the drain sources. Since the voltage of the "off" period of the voltage V between terminals of the primary winding N11 of a transformer T101 (N11) is the resonance wave of the excitation inductance of a transformer T101, or the capacity between the drain sources of a switching device Q101, it serves as a curve of a sine wave, therefore the maximum of voltage is large. Furthermore, since this voltage changes a lot on I/O conditions, as this synchronous detection MOS-FET (Q102), on resistance cannot but use a big thing by big pressure-proofing. This problem is the same problem also in this synchronous detection MOS-FET and the example of the conventional circuit of drawing 10 which used rectifier diode D101 instead of Q102.

[0007] The problem of this synchronous detection MOS-FET and pressure-proofing of Q102 is also a problem of the pressure-proofing of a switching device Q101 to coincidence. Although there is a method using the clamping circuit which consists of diode, a capacitor, and resistance between the terminals of the primary winding N11 of a transformer T101 in the first place as a conventional method for restricting this voltage to a certain voltage, although voltage is clamped by the predetermined value, since the excitation energy of a transformer T101 is consumed by resistance of a clamping circuit, by this method, only that part has the problem that effectiveness falls. moreover, as the second conventional method of clamping this voltage, a tertiary winding is prepared in a transformer T101, and it connects with input power V_{in} through diode -- especially -- ** -- there is the method of constituting a clamping circuit. the power consumption according to that voltage drop although the great portion of excitation energy of a transformer is revived by input power V_{in} , when that regeneration current still flows the diode of this clamping circuit in case of this method -- generating -- that part -- effectiveness -- falling -- it -- furthermore, the coil of a transformer increases, a transformer becomes complicated greatly, and there is a problem that the flow loss by the tertiary winding of a transformer increases.

[0008] Next, it is drawing 11, and since there is a period of T_{off2} of drawing 12, second becoming a problem when it is going to realize efficient switching power supply equipment is the problem that cannot drive synchronous detection MOS-FET and Q103 over between the whole term which the switching device Q101 turns off, but the effectiveness of switching power supply falls. (This is **** (6) about synchronous detection MOS and FET.)

It is a characteristic problem at the time of **, and is the most important problem when making an efficient power supply.

In the circuit of drawing 11, in the "on" period of a switching device Q101, synchronous detection MOS, and FET and Q103 turn off, Q102 turns them on in it, and the current of a choke coil L10 flows these Q102 to it. On the other hand, synchronous detection MOS-FET and Q102 turn off, Q103 turns them on, and the current of a choke coil L10 flows these Q103 at the "off" period of a switching device Q101. Here, synchronous detection MOS-FET and the gate terminal of Q102 and Q103 are driven with the voltage of the secondary winding N12 of a transformer T101, respectively. That is, when one side turns on each synchronous detection MOS-FET, the voltage between the drain sources of synchronous

detection MOS-FET of turned-off another side is used for the gate driver voltage for it.

[0009] Then, although the off period of a switching device Q101 consists of Toff1 and Toff2 Although it is possible to drive synchronous detection MOS-FET and Q103 since it has a value with the voltage of Vds (Q102) at the period of Toff1 so that the wave of Vds (Q102) of drawing 12 may show Since the voltage of Vds (Q102) is 0 volts at the period of Toff2, Q103 cannot be driven. Then, Q103 turns off at the period of this Toff2, and the current of a choke coil L10 flows the body diode (it is the diode which is in close parasitically toward a drain terminal from a source terminal because of the element structure of MOSFET) of Q103 in the meantime. a voltage drop when synchronous detection MOS-FET and Q103 turn on the voltage drop in this body diode at this time -- comparing -- markedly -- ***** -- a sake -- this Toff2 -- the power loss of a period will increase and the effectiveness of switching power supply will be reduced.

[0010] It is the problem of the choke coil of an output filter becoming large since third becoming a problem has large output ripple voltage, the iron loss and copper loss of the choke coil increasing if this puts in another way and it is going to hold down output ripple voltage to a regular value with the choke coil of fixed magnitude, and reducing the effectiveness of switching power supply equipment indirectly. (7)

In drawing 12, Vds (Q103) shows the voltage between synchronous detection MOS-FET of drawing 11, and the drain source of Q103, this is also voltage [of P points] V (P) of drawing 11, this voltage is equalized with an output filter (L10, C10), and the voltage except an alternating current component turns into output voltage. It is the output voltage which Vout showed in Vds (Q103). That is, this voltage and output voltage (voltage between terminals of a capacitor C10) of Vds (Q103) are impressed between the terminals of the choke coil L10 of an output filter, respectively, with this difference voltage, the ripple current component of current which flows the choke coil L10 as shown by I (L10) is determined, and the near value of output ripple voltage is determined by the product of this ripple current and the equivalent series resistance of the capacitor C10 of an output filter.

[0011] Although drawing 13 is property drawing of output voltage to the duty cycle of the circuit of drawing 11, since output voltage is proportional to a TEYU tee cycle as shown in this property drawing, generally, I/O conditions are the places of rating and it will carry out a setup of the duty cycle soon 0.5. In the wave of Vds (Q103) of drawing 12, a 0-volt period (namely, sum of the period of Toff1 and the period of Toff2) compares with the whole period (namely, period of T1). About 50% A certain sake, Output ripple voltage becomes large, if this puts in another way and it is going to hold down output ripple voltage to a regular value with the choke coil of fixed magnitude, the iron loss and copper loss of the choke coil will increase, and it will become the problem of reducing the effectiveness of switching power supply equipment indirectly.

[0012]

[Problem(s) to be Solved by the Invention] When it is going to constitute efficient switching power supply, as the term of the aforementioned Prior art explained, there is much especially power loss in the rectifying device which constitutes the secondary rectifier circuit of a transformer, and it is a big technical problem how this power loss is reduced. Although many technique of reducing that flow loss, especially using synchronous detection MOS-FET as this rectifying device is used recently, it is an important problem how this synchronous detection MOS-FET is made to drive effectively also in this case.

(8)

Then, the purpose of this invention circuit is offering the circuit which this is driven [circuit] over between the whole term and realizes efficient switching power supply equipment, when it makes it possible to use the rectifying device of little low pressure-proofing of this power loss and synchronous detection MOS-FET is used especially as a rectifying device.

[0013]

[Means for Solving the Problem] An input terminal with which switching power supply equipment of this invention for attaining the above-mentioned purpose receives direct current voltage, The first series circuit of a transformer which has a primary winding and a secondary winding at least, and the first

choke coil and the first switching device which are connected between said input terminals, The second series circuit of the primary winding of said transformer and the first capacitor which are connected between terminals of said first switching device, The third series circuit of the second switching device for constituting a path which passes a part of current of said first choke coil at a period when said first switching device is off, and the second capacitor, A rectifier circuit connected to a secondary winding of said transformer, and a filter circuit connected to said rectifier circuit, An output terminal which is connected to said filter circuit and outputs direct current voltage to a load, By detecting output voltage of said output terminal, making said first and second switching device turn on by turns so that another side may be off, when one side is ON, and changing a ratio of ON of the first switching device, and a period of OFF It is characterized by having a control circuit controlled to make output voltage of said output terminal regularity.

[0014] The second feature of this invention is having used MOS-FET as an upstream switching device of a transformer, as shown in drawing 1 , and having made a secondary rectifier circuit into a synchronous detection circuit.

[0015] The third feature is in a point of having connected the third series circuit of the second switching device and the second capacitor between primary windings of a transformer.

[0016] The fourth feature of this invention is the first switching device (9) about the third series circuit, as shown in drawing 6 .

It is having connected between *****.

[0017] The fifth feature of this invention is having connected the third series circuit between terminals of a secondary winding of a transformer, as shown in drawing 8 .

[0018] The 6th feature of this invention prepares a tertiary winding in a transformer, as shown in drawing 9 , and it is in a point of having connected the third series circuit between this tertiary winding. [0019]

[Embodiment of the Invention] The gestalt of operation of this invention is explained using a drawing below. Drawing 1 is the first example of this invention circuit. Drawing 2 is the voltage of each part of the circuit of drawing 1 , and the wave of current, drawing 3 is property drawing of output voltage to the duty cycle (ratio of the "on" period to the period of a switching device Q1 of operation) of the circuit of drawing 1 , and drawing 4 is drawing for the explanation of operation.

[0020] In drawing 1 , Vin is input power, 2a and 2b are input terminals, and L1 is the first choke coil. Q1 and Q2 They are the first and the second switching device, respectively. C1 and C2 It is the first and the second capacitor, respectively and they are T, and N1 and Na. Nb They are a transformer, the primary winding and the first secondary-winding portion, and the second secondary-winding portion, respectively. Q3 and Q4 They are first synchronous detection MOS-FET and second synchronous detection MOS-FET, respectively. L2 and Cout It is the second choke coil and third capacitor which constitute the output filter, respectively, 16a and 16b are output terminals, 17 is a load, and 18 is a control circuit.

[0021] Next, circuit actuation of drawing 1 is explained using drawing 2 which is the voltage of each part, and the wave of current. Setting to drawing 2 , for the period of a switching device of operation, and Ton31, the period of ON and Ton32 are [T31 / the first switching device Q1 / the second switching device Q2] the period of ON, and Toff31 and Tof (10).

Although f32 is the period of OFF of both the first and the second switching device, these Toff31 and Toff32 are a period for preventing switching devices' Q1 and Q2 turning on in coincidence, and the series circuit of the first and the second capacitor C1 and C2 connecting too hastily, and they are good at a necessary minimum value in consideration of the time delay at the time of switching of switching devices Q1 and Q2 etc. Moreover, Vgs (Q1) and Vgs (Q2) are the gate driver voltage waves of switching devices Q1 and Q2, respectively. When the first switching device Q1 and second switching device Q2 are controlled so that one side turns off another side at the period of ON and another side turns off one side except for the short period of Toff31 and Toff32 at the period of ON, and while changes the ratio (duty cycle) of the "on" period of a switching device to the period T31 of operation, constant-voltage control of output voltage Vout is performed so that these waves may show.

[0022] In drawing 2, $I(L1)$ is current which flows the first choke coil $L1$. Next, $I(N1)$ and $V(N1)$ They are the current which flows the primary winding $N1$ of Transformer T , respectively, and the voltage between the terminal. $I(Q1)$ and $I(Q2)$ It is current which flows the first and the second switching device $Q1$ and $Q2$, respectively. $V_{ds}(Q3)$ and $V_{ds}(Q4)$ It is the first, second synchronous detection MOS-FET, and the voltage between the drain sources of $Q3$ and $Q4$, respectively, and $V(R)$ is the voltage of R points and $I(L2)$ is current which flows the second choke coil $L2$ of an output filter.

[0023] Next, before explaining the voltage current wave form of each part of drawing 2, in order to help the understanding, drawing 4 (a), (b), and (c) are used, and the outline of the circuit of drawing 1 is explained. That is, it is possible that the circuit of drawing 1 serves as actuation of both circuits indicated to be (a) of drawing 4 to (b). Here, in the circuit of drawing 1, since the first switching device $Q1$ turns off the second switching device $Q2$ at the period of ON and the first switching device $Q1$ turns it on at the period of OFF, the actuation of this second switching device $Q2$ of it is the same as actuation of the commutation diode $D21$ of the pressure-up chopper circuit shown in drawing 4 (c). Then, the circuit of drawing 4 (a) can be transposed to the circuit of drawing 4 (c), and can be considered. That is, the circuit of drawing 4 (a) can be called configuration of a pressure-up chopper circuit. On the other hand, the series circuit of the first and the second capacitor $C1$ and $C2$ in the circuit of drawing 4 (b) is ** (11) about a certain direct current voltage, whenever it enlarges the value of $C1$ and $C2$ enough.

By that of **, the half bridge circuit which makes between the terminal input power can be considered. [0024] actuation of the circuit of drawing 1 is actuation of the pressure-up chopper circuit shown by drawing 4 (a), from input power V_{in} , it is actuation of the half bridge circuit which shows power to the series circuit of the first and the second capacitor $C1$ and $C2$ in delivery, it, simultaneously drawing (b), and it is thought that power is supplied to the load (17) from the series circuit of this first and second capacitor $C1$ and $C2$. (Quantitive analysis is mentioned later.) It is here, and by pressure-up chopper actuation as the first and the second capacitor $C1$ and $C2$ indicate that mentioned above in the circuit of drawing 4 (a), it always has a certain direct current voltage, and is moving. Moreover, the half bridge circuit shown by a diagram (b) is changing and controlling the ratio of the "on" period of the first switching device $Q1$ to the period T_{31} of operation.

[0025] Next, the voltage current wave form of each part of drawing 2 is explained. First, current as shown in the first choke coil $L1$ by $I(L1)$ is flowing toward the first switching device $Q1$ at the period (T_{on31}) of ON of the first switching device $Q1$ from input power V_{in} . The inclination of this current has the value of V_a/L_a , when the inductance of V_a and the first choke coil $L1$ is set to L_a for the voltage of input power V_{in} . On the other hand to the primary winding $N1$ of Transformer T , current as shown by $I(N1)$ is flowing toward the first switching device $Q1$ from the first capacitor $C1$. (The sense of the current which flows at this period is considered as plus.) The value of the current which flows the primary winding $N1$ of this transformer T adds the exciting current of Transformer T to the current of the value which converted into the upstream of a transformer the current which flows the second choke coil $L2$ of an output filter by the turn ratio of Transformer T . So, in the first switching device $Q1$, the current of the sum of the current which flows the first aforementioned choke coil $L1$, and the current which flows the primary winding $N1$ of Transformer T flows. This serves as a current wave form as shown in $I(Q1)$ of drawing 2.

[0026] Next, in the period (T_{on32}) of ON of the second switching device $Q2$, it is the first choke coil $L1$ (12).

To 1, current as shown by $I(L1)$ is flowing toward the second switching device $Q2$ from input power V_{in} . (This is the pressure-up chopper circuit of drawing 4 (c), and the first switching device $Q1$ turns it off.) the current which flows the first choke coil $L1$ is equivalent to flowing diode $D21$. The inclination of this current has the value of $(V_a - V_b)/L_a$, when voltage in which the series circuit of L_a , the first, and the second capacitor $C1$ and $C2$ has the inductance of V_a and the first choke coil $L1$ for the voltage of input power V_{in} is set to V_b . Moreover, the current which flows the first choke coil $L1$ at this time passes along the second switching device $Q2$, passes along the second capacitor $C2$, the first capacitor $C1$, and input power V_{in} , and flows in the path which returns to the first choke coil $L1$.

[0027] On the other hand, current as shown in the primary winding $N1$ of Transformer T by $I(N1)$ is

flowing at the period (T_{on32}) of ON of this second switching device Q2. From the second capacitor C2, this passes along the second switching device Q2, passes along the primary winding N1 of Transformer T, and is flowing in the path which returns to the second capacitor C2. The value of the current which flows the primary winding N1 of this transformer T adds the exciting current of Transformer T to the current which converted into the upstream of a transformer the current which flows the choke coil L2 of an output filter by the turn ratio of Transformer T like the period (T_{on31}) of ON of the first switching device Q1. then, the second switching device Q2 at the period of ON The flowing current I (L1) the first choke coil L1 The current I (N1) which flows toward a drain terminal from the source terminal of the second switching device Q2, and flows the primary winding N1 of Transformer T Since it flows from the drain terminal of the second switching device Q2 toward a source terminal to the aforementioned I (L1) and the reverse sense, to the second switching device Q2 The current of the difference of the current I (L1) which flows the first aforementioned choke coil L1, and the current I (N1) which flows the primary winding N1 of Transformer T flows. This serves as a current wave form as shown in I (Q2) of drawing 2.

[0028] Next, although the voltage between terminals of the primary winding N1 of Transformer T is shown, since the first switching device Q1 turns on the voltage of the period of T_{on31} of this wave, V (N1) of drawing 2 is the first (13).

it is equivalent to the voltage between terminals of the ** capacitor C1 -- T_{on32} Since the second switching device Q2 turns on the voltage of a period, it is equivalent to the voltage between terminals of the second capacitor C2. Vds (Q3) and Vde (Q4) are synchronous detection MOS-FET of drawing 1, and the voltage between the drain sources of Q3 and Q4, respectively, and such voltage is the gate driver voltage of synchronous detection MOS-FET of another side, respectively. Moreover, V (R) is the voltage waveform of R points, and I (L2) is the current wave form where the second choke coil L2 of an output filter is flowed. Moreover, these waves of Vds (Q3) and Vde (Q4) It is the period of T_{on31} , and T_{on32} , respectively. The voltage V between terminals of the primary winding N1 of the transformer T of a period (N1) It is the voltage changed by the primary winding N1 of Transformer T, and the turn ratio of the first secondary-winding portion Na (or second secondary-winding portion Nb), and voltage [of R points] V (R) is described above. It is the wave which applied the voltage waveform of Vds (Q3) and Vde (Q4).

[0029] In the wave of V (R), Vout shows the output voltage in an output terminal (16a, 16b). This voltage V (R) and output voltage Vout of R points are impressed between the terminals of the second choke coil L2 of an output filter, and the ripple current as shown in I (L2) flows. That ripple current value, By the product with the equivalent series resistance of the third capacitor Cout of an output filter, the ripple voltage of the value determined about occurs in output voltage.

[0030] Since synchronous detection MOS-FET shown by Vds (Q3) and Vde (Q4) of drawing 2 and the voltage between the drain sources of Q3 and Q4 have always occurred in either except for the short period of T_{off31} and T_{off32} , the first example of drawing 1 does not have the problem that the period which cannot drive synchronous detection MOS and FET will become long, so that clearly from the above explanation. Moreover, since the voltage waveform impressed to synchronous detection MOS, and FET, Q3 and Q4 is a rectangle as the wave of Vds (Q3) and Vde (Q4) also shows, the voltage does not rise unusually (in the conventional example of a circuit, since it was a resonance wave, it became a problem), and can use small synchronous detection MOS-FET of on resistance by low pressure-proofing.

[0031] Next, the duty cycle of drawing 1 shown in drawing 3 (** of the main-switch element Q1 (14)) The property of output voltage over the ratio of the "on" period to ***** is explained. In drawing 1 the voltage of input power Vin Va, the first and the second switching device, The duty cycle (ratio of the "on" period to the period of a switching device of operation) of Q1 and Q2, respectively D, It is referred to as 1-D. The voltage between terminals of the first and the second capacitor C1 and C2, respectively V (C1), It is referred to as V (C2), and the primary winding N1 of Transformer T and a turn ratio with the first secondary-winding portion Na (or second secondary-winding portion Nb) are set to n:1. If the first, second synchronous detection MOS-FET, and voltage between each drain sources of Q3 and Q4 are set

to $V_{ds}(Q3)$ and $V_{ds}(Q4)$ and output voltage in an output terminal (16a, 16b) is set to V_{out} , a degree type will consist of the circuitry of a pressure-up chopper shown by drawing 4 (a). (However, in the numerical analysis after this, the voltage drop at the time of the first, the second switching device Q1 and Q2 and the first and second synchronous detection MOS-FET, and the flow by Q3 and Q4 and the period of T_{off31} and T_{off32} which both the first and the second switching device Q1 and Q2 turn off are disregarded as a very small thing.)

[0032]

[Equation 1]

$$V(C1) + V(C2) = V_a / (1 - D)$$

[0033] Moreover, since the amount by which the first switching device Q1 is excited about actuation of the core (magnetic substance) of Transformer T at the period of ON has the second switching device Q2 equal to the amount reset at the period of ON, a degree type is realized.

[0034]

[Equation 2]

$$V(C1) \times D = V(C2) \times (1 - D)$$

[0035] A degree type is drawn from several 1 and several 2.

[0036]

[Equation 3]

$$V(C1) = V_a$$

[0037]

[Equation 4]

$$V(C2) = V_a \times D / (1 - D)$$

(15)

[0038] Moreover, since the voltage between the drain sources when the first, second synchronous detection MOS-FET, and Q3 and Q4 turn off is the voltage which changed the voltage between terminals of the first and the second capacitor C1 and C2 by the turn ratio of Transformer T, respectively, a degree type is realized.

[0039]

[Equation 5]

$$V_{ds}(Q3) = V(C1) / n = V_a / n$$

[0040]

[Equation 6]

$$\begin{aligned} V_{ds}(Q4) &= V(C2) / n \\ &= V_a \times D / \{ (1 - D) \times n \} \end{aligned}$$

[0041] Moreover, the output voltage in an output terminal (16a, 16b) is the value which equalized the voltage of R points with the output filter, and since this voltage of R points is the voltage which added $V_{ds}(Q3)$ and $V_{ds}(Q4)$ which are the aforementioned first, the second synchronous detection MOS, and the voltage between drain source terminals of FET, Q3, and Q4, a degree type will be realized if a switching period is set to T_o .

[0042]

[Equation 7]

$$\begin{aligned}
 V_{out} &= \frac{1}{T_0} \int_0^{T_0} V(R) dt \\
 &= \frac{1}{T_0} \left\{ \int_0^{D \cdot T_0} V_{ds}(Q3) dt + \int_{D \cdot T_0}^{T_0} V_{ds}(Q4) dt \right\} \\
 &= D \times V_{ds}(Q3) + (1 - D) \times V_{ds}(Q4) \\
 &= 2 \times V_a \times D / n
 \end{aligned}$$

[0043] From several seven, in the circuit of drawing 1, it turns out that it is proportional to a duty cycle D (ratio of the "on" period to the period of a switching device Q1 of operation), and output voltage V_{out} will become like drawing 3, if this is illustrated.

[0044] Here, both $V_{ds}(es)$ (Q3) and $V_{ds}(es)$ (Q4) that I/O is able to set a duty cycle as 0.5 on condition that rating since the output characteristics of drawing 3 are proportionality properties, and are the first, second synchronous detection MOS-FET, and the voltage between the drain sources of Q3 and Q4 at this time are from several 5 and several 6. V_a / n It turns out that it becomes. Then, since it changes considering this value as a center also to change of I/O conditions with a square wave, there is no necessity that especially pressure-proofing uses the large, large thing of on resistance as synchronous detection MOS-FET, like the example of a circuit before.

(16)

That the voltage of V_{ds} (Q3) and V_{ds} (Q4) is the same Furthermore, (since the number of turns of Transformer T are an integer in fact, it shifts a little), Even if I hear that change of voltage [in R points] $V(R)$ is very small, and it is, and the voltage of the period of T_{on32} is the same as the voltage of the period of T_{on31} or differs from each other, since the difference is very small As the result, the second choke coil L2 of an output filter becomes small, the power loss in the choke coil L2 decreases, and effectiveness of switching power supply can be made high. (Although it counts also upon fluctuation of I/O conditions in fact and an output filter is designed, it can be made still quite small.) As for the above analysis result, the validity is checked also by experiment.

[0045] Moreover, I of drawing 2 (N1) Although the current which flows the primary winding N1 of Transformer T is shown and it is Generally by adjusting suitably T_{off31} and T_{off32} which are the period which both switching devices turn off, since Transformer T has leakage inductance After one switching device turns [the current which was flowing] off this leakage inductance, before the switching device of another side turns on, the parasitic capacitance between the drain sources of the switching device of this another side can be made to be able to discharge, and the so-called actuation of ZVS can be carried out. Consequently, the energy stored in the parasitic capacitance between the drain sources of a switching device can be collected, and the effectiveness of switching power supply can be gathered.

[0046] It sets in the circuit of drawing 1 so that clearly from the above explanation. The short period of T_{off31} and T_{off32} is removed for synchronous detection MOS-FET, and Q3 and Q4. Are always driving either (synchronous detection MOS-FET of the side to which the current which flows the second choke coil L2 of an output filter flows is driven), and since the voltage between those drain sources is low Since what has on resistance small pressure-proofing and small can be used and an output filter is made small, there is also little power loss of a there. Switching power supply equipment efficient as the result can be made.

[0047]

(17)

Moreover, in the circuit of drawing 1, although an N-channel metal oxide semiconductor and FET are used for the first and the second switching device Q1 and Q2, circuit actuation is also completely the same [switching device] as when, as for these, either or both use a P channel MOS and FET.

[0048] Moreover, even if IGBT is used for the aforementioned first and the second switching device Q1 and Q2, for example, without limiting to MOS-FET, they are completely the same. [of circuit actuation]

[0049] Moreover, in the circuit of drawing 1 , although the role of Q1 and Q2 interchanges even if it connects the series circuit of the first choke coil L1 with input power V_{in} but [not between the drain source terminals of the first switching device Q1] between the drain source terminals of the second switching device Q2 since the first and the second switching device Q1 and Q2 have a symmetric position relation, other circuit actuation is the same.

[0050] Moreover, in the circuit of drawing 1 , although the rectifier circuit connected to the secondary winding Na of Transformer T or Nb is a full wave rectifier circuit by two rectifying devices, the same effect is acquired even in the full wave rectifier circuit which this is not limited to this configuration, and the same effect was acquired even in the half wave rectifier circuit using one of two rectifying devices as an object for free foil, and was constituted from four rectifying devices in the bridge type.

[0051] Next, in the circuit of drawing 1 , the first, second synchronous detection MOS-FET, and the drive method of Q3 and Q4 are described. Although the first in the circuit of drawing 1 , second synchronous detection MOS-FET, and Q3 and Q4 are driving the gate terminal with the voltage between the drain sources of synchronous detection MOS-FET of another side, respectively, the same effect will be acquired if the drive method of this gate terminal is voltage obtained from the coil of not only the method shown in drawing 1 but the transformer T. An example of other drive methods of synchronous detection MOS-FET is shown in drawing 5 . Here, circuit actuation of drawing 5 is completely equivalent to circuit actuation of drawing 1 about the drive method of synchronous detection MOS-FET.

(18)

[0052] Next, the tie-in point of the third series circuit of the second switching device Q2 and the second capacitor C2 is described. Although it connects between the terminals of the primary winding N1 of Transformer T in the first example of the circuit of drawing 1 , it connects between the terminals of the first switching device Q1 in the second example of this invention circuit of drawing 6 . Explanatory drawing of drawing 7 explains this difference. Although both of (b)s and (b)s are half bridge circuits and it corresponds to the first example and second example of this invention circuit in drawing 7 , respectively Here the series circuit of the second switching device and the second capacitor If it is Q2, C2, and Q52 and C52, C100 shown in (b) is assumed here, respectively and C52 of (b) will be used as a capacitor with capacity value equivalent to the series circuit of C1 and C2 of (b) The capacitor C52 of (b) is placed with the capacitor C100 of the same capacity value as C2, and ** is possible for it. That is, drawing 6 which is the second example can be said to be that the same effect as the first example of drawing 1 is acquired.

[0053] Next, although drawing 8 and drawing 9 are the third example at the time of connecting the series circuit of the second aforementioned switching device Q62 and the second capacitor C62 between the terminals of the secondary winding of a transformer, and the fourth example at the time of connecting between the terminals of the tertiary winding N3 of Transformer T, respectively Both of these are the turn ratios of a transformer, can be changed into the upstream of a transformer and become the same as the first example of this invention of drawing 1 in an equal circuit. That is, the third and the fourth example which are shown in drawing 8 and drawing 9 can be said to be that the same effect as the first example of drawing 1 is acquired.

[0054]

[Effect of the Invention] In this invention circuit, it is possible to always drive synchronous detection MOS-FET, and Q3 and Q4 except for the short period of T_{off31} and T_{off32} , what has on resistance small [as synchronous detection MOS-FET, and Q3 and Q4] pressure-proofing and small can be used, and an output filter can also be made small so that clearly from the above explanation. Switching power supply equipment efficient as the result can be made. For this, output voltage is low (for example (19)) by communication link etc.

An effect is large especially when making the efficient large switching power supply of 5V or the 3.3V

output output current.

[Translation done.]

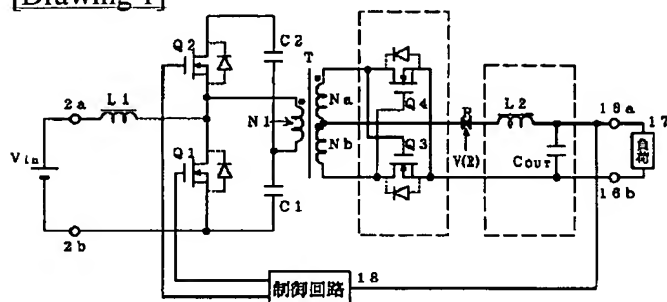
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

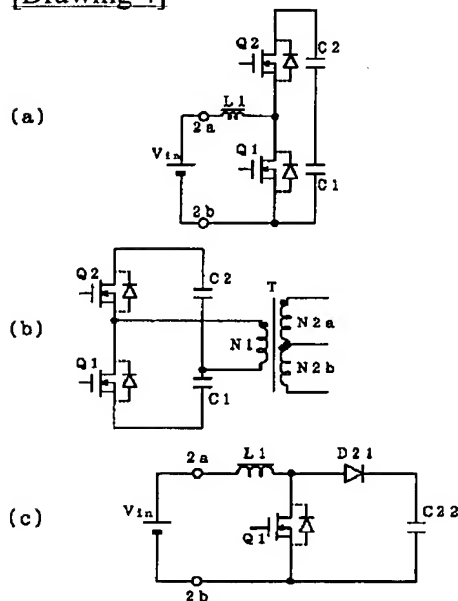
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

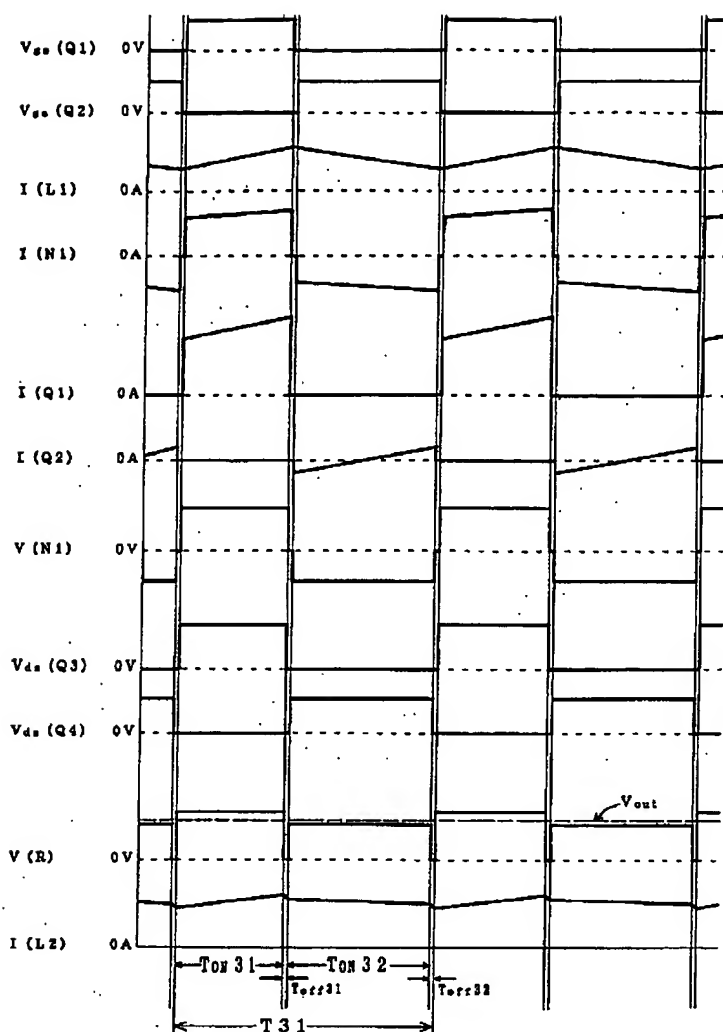
[Drawing 1]



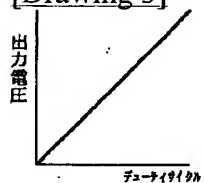
[Drawing 4]



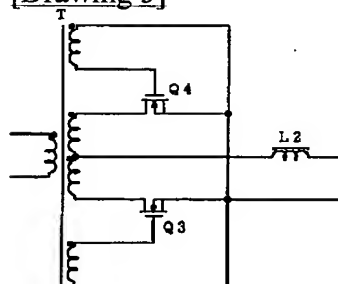
[Drawing 2]



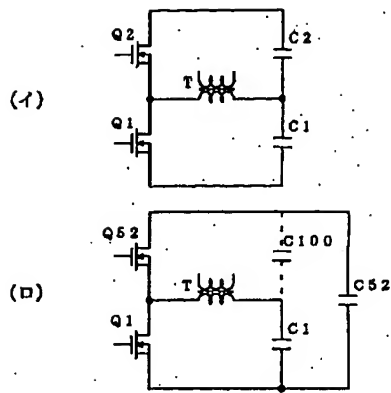
[Drawing 3]



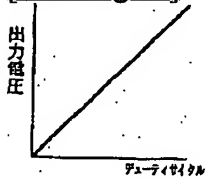
[Drawing 5]



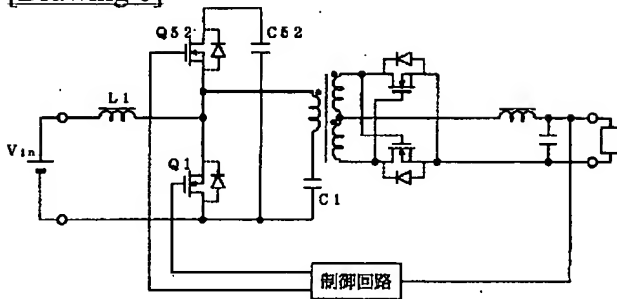
[Drawing 7]



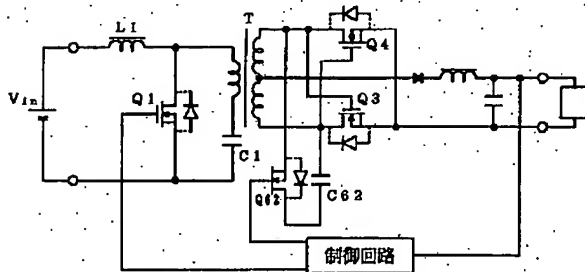
[Drawing 13]



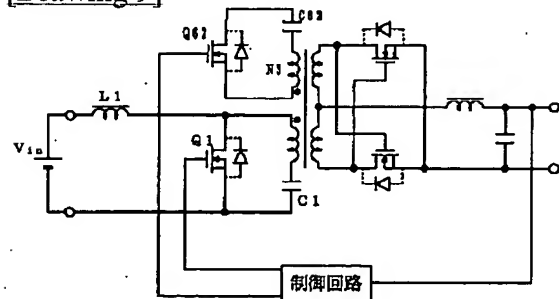
[Drawing 6]



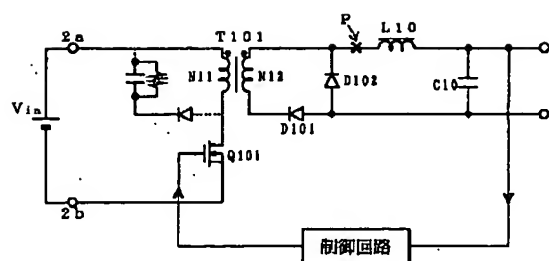
[Drawing 8]



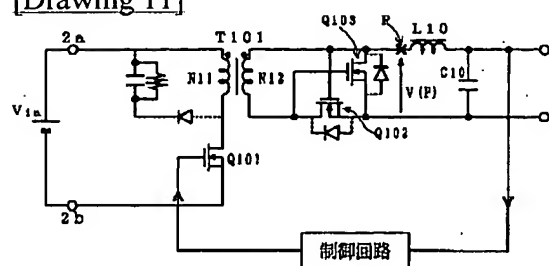
[Drawing 9]



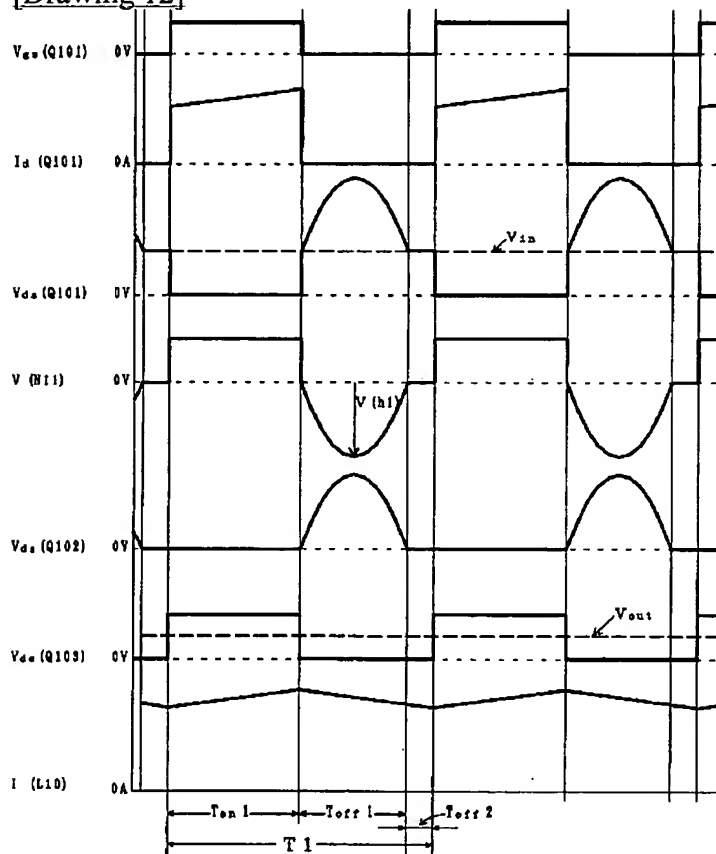
[Drawing 10]



[Drawing 11]



[Drawing 12]



[Translation done.]